

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 10242393 A

(43) Date of publication of application: 11.09.98

(51) Int. Cl

H01L 27/04
H01L 21/822
H01L 21/316
H01L 27/108
H01L 21/8242

(21) Application number: 09043183

(22) Date of filing: 27.02.97

(71) Applicant: SHARP CORP

(72) Inventor: MATSU YOSHIYUKI
MASUDA YOSHIYUKI
KITA RYUSUKE
OTANI NOBORU

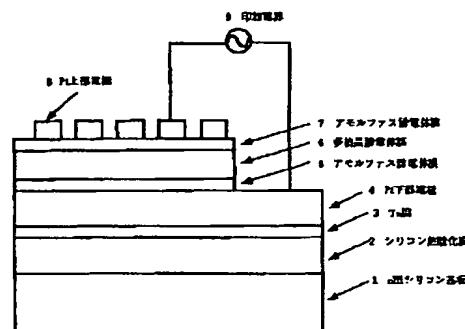
(54) DIELECTRIC THIN-FILM CAPACITOR ELEMENT
AND ITS MANUFACTURING METHOD

COPYRIGHT: (C)1998,JPO

(57) Abstract:

PROBLEM TO BE SOLVED: To provide a dielectric thin-film capacitor element that can suppress the increase in a leakage current associated with the conduction time due to a high-temperature conduction of the dielectric thin-film capacitor element and has improved insulation property and reliability, and its manufacturing method.

SOLUTION: This capacitor element is constituted by successively forming a lower electrode 4, a dielectric thin film, and an upper electrode 8 on a substrate 1. In this case, in the dielectric thin film, a first amorphous dielectric thin film 5 that is made of an oxide material, a polycrystalline dielectric thin film 6 that is made of an oxide material, and a second amorphous dielectric thin film 7 that is made of an oxide material are formed sequentially. Then, the first amorphous dielectric thin film 5 and the second amorphous dielectric thin film 7 are as thick as 10nm-30nm.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-242393

(43)公開日 平成10年(1998)9月11日

(51)Int.Cl.⁶
H 0 1 L 27/04
21/822
21/316
27/108
21/8242

識別記号

F I
H 0 1 L 27/04
21/316
27/10
6 5 1
C
Y

審査請求 未請求 請求項の数7 OL (全7頁)

(21)出願番号 特願平9-43183

(22)出願日 平成9年(1997)2月27日

(71)出願人 000005049
シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72)発明者 松 良幸
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 増田 義行
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(72)発明者 喜多 隆介
大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内

(74)代理人 弁理士 梅田 勝

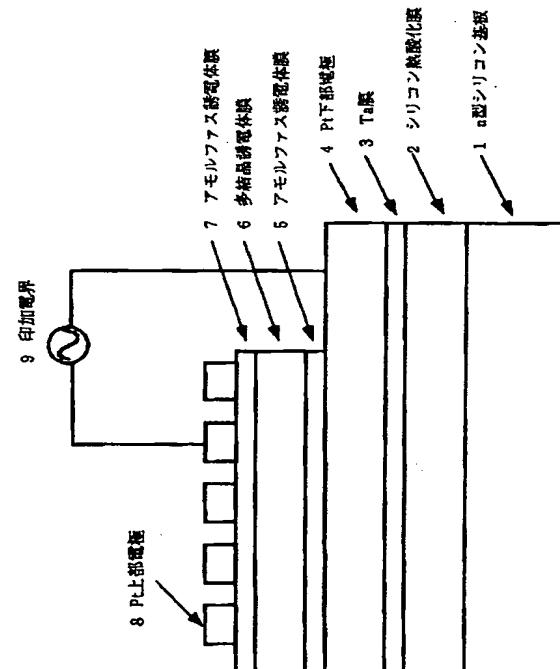
最終頁に続く

(54)【発明の名称】 誘電体薄膜キャパシタ素子及びその製造方法

(57)【要約】

【課題】 本発明は、誘電体薄膜キャパシタ素子の高温通電での通電時間に伴うリーク電流の増大を抑制することができ、絶縁性及び信頼性に優れた誘電体薄膜キャパシタ素子及びその製造方法を提供することを目的としている。

【解決手段】 基板1上に下部電極4と誘電体薄膜と上部電極8とが順次形成されて構成される誘電体薄膜キャパシタ素子において、誘電体薄膜が酸化物材料から成る第1のアモルファス誘電体薄膜5と酸化物材料から成る多結晶誘電体薄膜6と酸化物材料から成る第2のアモルファス誘電体薄膜7とが順次形成されて成り、第1のアモルファス誘電体薄膜5及び第2のアモルファス誘電体薄膜7の膜厚を10nm以上30nm以下として構成する。



【特許請求の範囲】

【請求項1】 基板上に下部電極と誘電体薄膜と上部電極とが順次形成されて構成される誘電体薄膜キャバシタ素子において、

前記誘電体薄膜が酸化物材料から成る第1のアモルファス誘電体薄膜と酸化物材料から成る多結晶誘電体薄膜と酸化物材料から成る第2のアモルファス誘電体薄膜とが順次形成されて成り、前記第1のアモルファス誘電体薄膜及び前記第2のアモルファス誘電体薄膜の膜厚が10nm以上30nm以下であることを特徴とする誘電体薄膜キャバシタ素子。

【請求項2】 前記第1のアモルファス誘電体薄膜、前記多結晶誘電体薄膜、及び前記第2のアモルファス誘電体薄膜がストロンチウム及びチタンを含有する酸化物材料から成ることを特徴とする請求項1に記載の誘電体薄膜キャバシタ素子。

【請求項3】 前記第1のアモルファス誘電体薄膜及び第2のアモルファス誘電体薄膜はストロンチウム／チタン比が0.5以上0.8以下のチタン酸ストロンチウムから成ることを特徴とする請求項2に記載の誘電体薄膜キャバシタ素子。

【請求項4】 前記多結晶誘電体薄膜はストロンチウム／チタン比が0.9以上1.1以下のチタン酸ストロンチウムから成ることを特徴とする請求項2又は3に記載の誘電体薄膜キャバシタ素子。

【請求項5】 基板上に下部電極と誘電体薄膜と上部電極とを順次形成する誘電体薄膜キャバシタ素子の製造方法において、

前記誘電体薄膜として、チタン酸ストロンチウムから成る第1のアモルファス誘電体薄膜、チタン酸ストロンチウムから成る多結晶誘電体薄膜、及びチタン酸ストロンチウムから成る第2のアモルファス誘電体薄膜をスパッタ法により順次形成し、

スパッタターゲットとして、前記第1のアモルファス誘電体薄膜及び前記第2のアモルファス誘電体薄膜の形成には主成分がチタン酸ストロンチウムでFe, Na, Ca, Al, 及びSiの不純物を含有するターゲットを用い、前記多結晶誘電体薄膜の形成には主成分がチタン酸ストロンチウム粉末でFe, Na, Ca, Al, 及びSiの不純物を含有するターゲットを用いることを特徴とする誘電体薄膜キャバシタ素子の製造方法。

【請求項6】 前記第1のアモルファス誘電体薄膜及び前記第2のアモルファス誘電体薄膜の形成に用いるスパッタターゲットのストロンチウム／チタン比が0.5以上0.8以下であることを特徴とする請求項5に記載の誘電体薄膜キャバシタ素子の製造方法。

【請求項7】 前記多結晶誘電体薄膜の形成に用いるスパッタターゲットのストロンチウム／チタン比が0.9以上1.1以下であることを特徴とする請求項5又は6に記載の誘電体薄膜キャバシタ素子の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、LSI、DRAMメモリーセル、MMIC (Microwave Monolithic Integrated Circuit) 用キャバシタ等に用いられる誘電体薄膜キャバシタ素子及びその製造方法に関するものである。

【0002】

【従来の技術】 従来より、半導体産業においては、DRAMの信号蓄積用キャバシタやMMIC (Microwave Monolithic Integrated Circuit) 用キャバシタ等に代表

される誘電体薄膜キャバシタとして、 SiO_2 (酸化シリコン)、 SiN (窒化シリコン)、 Ta_2O_5 などが使用されてきた。また、近年では、半導体技術の進歩による電子部品の小型化や高集積化に伴い、キャバシタ面積の縮小化のために誘電体膜の極薄膜化や3次元構造化が行われている。このため、半導体素子の作製工程はますます複雑化や微細加工の困難化により、歩留まりや信頼性等に問題を生じている。そこで、これらの問題に対応するため、従来と比較して誘電率が高い誘電体薄膜が必要となり、現在では、高誘電率を有するペロブスカイト型酸化物から成る高誘電体薄膜の開発が盛んに進められている。

【0003】 このような高誘電率を示すペロブスカイト型酸化物の誘電体として、PLT ((Pb, La) Ti O₃) やPLZT ((Pb, La) (Zr, Ti) O₃) 等のPb系のほか、チタン酸ストロンチウム (SrTiO_3) やチタン酸バリウムストロンチウム ((Br, Sr) Ti O₃) 等の酸化物高誘電体薄膜の開発が盛んに行われている (Jpn. J. Appl. Phys. Vol. 34 (1995), Ken Numata et al. 等参照)。

【0004】

【発明が解決しようとする課題】 しかしながら、上記のような (Pb, La) Ti O₃, (Pb, La) (Zr, Ti) O₃, SrTiO₃, (Br, Sr) Ti O₃ 等の酸化物高誘電体薄膜を用いた従来のキャバシタ素子では、信頼性が大きな問題となっていた。すなわち、通常の電子部品の信頼性試験で行われるような、キャバシタをある一定の温度に保持し、ある一定の電圧を印加するような高温通電試験において、充分に実用化が可能な特性が得られる高誘電体薄膜素子が実現されていなかった。例えば、100°C一定に保持し、10Vバイアス印加した場合の高温通電試験においては、約10時間程度で、リーク電流密度が3桁から4桁増大してしまい、キャバシタとしての必要な絶縁性が保てないキャバシタの抵抗劣化という問題が生じていた。

【0005】 このようなキャバシタの抵抗劣化の原因は、下記のような理由によるものと考えられる。SrTiO₃や (Br, Sr) Ti O₃ 等の酸化物高誘電体薄膜において、薄膜成長中には、その薄膜中に酸素欠陥 (酸素空孔) が発生する。この酸素空孔が+2価に帶電して

いるので、高温通電試験での温度加熱と電極への電圧印加により、酸素空孔が陰極側に移動して行く。そして、陰極側に移動した酸素空孔は、陰極と $SrTiO_3$ や $(B_r, Sr)TiO_3$ とのポテンシャルバリアのために、陰極に到達できず、陰極／誘電体薄膜界面でパイアップされる。このとき、電気的補償のため、陰極側から電子が注入される。一方、陽極側からは、新たに酸素空孔が導入される。一方、陽極側からは、新たに酸素空孔が導入されるか、この際電子をキャリアとして発生させる。これらの現象により、誘電体薄膜全体としては、誘電率が時間とともに高くなり、リーク電流が上昇する。

【0006】これに対して、この酸素空孔を補償して、キャバシタの劣化を防ぐために、誘電体薄膜成膜後に、酸素雰囲気中で熱処理する酸素アニール処理や、酸素プラズマ処理を施すことが考えられる。しかしながら、これらの処理を行っても、酸素が熱平衡的に安定した誘電体結晶格子に組み込まれないため、誘電体薄膜の成膜後に酸素空孔を低減することは困難なことである。

【0007】本発明は、上記のような課題を解決するためになされたものであって、誘電体薄膜キャバシタ素子の高温通電での通電時間に伴うリーク電流の増大を抑制することができ、絶縁性及び信頼性に優れた誘電体薄膜キャバシタ素子及びその製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】上記課題を解決するため、本発明では、基板上に下部電極と誘電体薄膜と上部電極とが順次形成されて構成される誘電体薄膜キャバシタ素子において、誘電体薄膜が酸化物材料から成る第1のアモルファス誘電体薄膜と酸化物材料から成る多結晶誘電体薄膜と酸化物材料から成る第2のアモルファス誘電体薄膜とが順次形成されて成り、第1のアモルファス誘電体薄膜及び第2のアモルファス誘電体薄膜の膜厚が 10 nm 以上 30 nm 以下であることとしている。

【0009】本発明によれば、誘電率が高い多結晶誘電体薄膜の上下に、極めて薄いアモルファス誘電体薄膜を形成することにより、酸素空孔の移動、注入のバリアとして機能させ、誘電体薄膜キャバシタ素子の高温通電での通電時間に伴うリーク電流の増大を抑制することができ、絶縁性及び信頼性を向上させることができる。

【0010】さらに、上記誘電体薄膜キャバシタ素子において、第1のアモルファス誘電体薄膜、多結晶誘電体薄膜、及び第2のアモルファス誘電体薄膜がチタン及びストロンチウムを含有する酸化物材料から成ることが好ましい。

【0011】さらに、上記の誘電体薄膜キャバシタ素子において、第1のアモルファス誘電体薄膜及び第2のアモルファス誘電体薄膜は、ストロンチウム／チタン比が 0.5 以上 0.8 以下のチタン酸ストロンチウムから成ることが好ましい。また、多結晶誘電体薄膜は、ストロ

ンチウム／チタン比が 0.9 以上 1.1 以下のチタン酸ストロンチウムから成ることが好ましい。

【0012】また、本発明では、基板上に下部電極と誘電体薄膜と上部電極とを順次形成する誘電体薄膜キャバシタ素子の製造方法において、誘電体薄膜として、チタン酸ストロンチウムから成る第1のアモルファス誘電体薄膜、チタン酸ストロンチウムから成る多結晶誘電体薄膜、及びチタン酸ストロンチウムから成る第2のアモルファス誘電体薄膜をスパッタ法により順次形成し、スパッターゲットとして、第1のアモルファス誘電体薄膜及び第2のアモルファス誘電体薄膜の形成には主成分がチタン酸ストロンチウムで Fe, Na, Ca, Al , 及び Si の不純物を含有するターゲットを用い、多結晶誘電体薄膜の形成には主成分がチタン酸ストロンチウム粉末で Fe, Na, Ca, Al , 及び Si の不純物を含有するターゲットを用いることとしている。

【0013】本発明によれば、上記のような誘電体薄膜キャバシタ素子を、量産性に優れたスパッタ法を用いて容易に製造することができる。

【0014】さらに、上記の誘電体薄膜キャバシタ素子の製造方法において、第1のアモルファス誘電体薄膜及び第2のアモルファス誘電体薄膜の形成に用いるスパッターゲットのストロンチウム／チタン比は、0.5 以上 0.8 以下であることが好ましい。また、多結晶誘電体薄膜の形成に用いるスパッターゲットのストロンチウム／チタン比は、0.9 以上 1.1 以下であることが好ましい。

【0015】本発明による作用について、酸化物誘電体材料であるチタン酸ストロンチウム ($SrTiO_3$ (以下、 STO と称す)) を例にして、更に詳細に以下に説明する。

【0016】アモルファス $SrTiO_3$ 誘電体薄膜は、結晶格子を形成していないので、格子点が存在せず、従って明確な酸素空孔点というものは存在しない。このために、酸素空孔がアモルファス $SrTiO_3$ 誘電体薄膜中では極めて移動しにくい。

【0017】ところが、アモルファス $SrTiO_3$ 誘電体薄膜は誘電率が 10 ~ 20 程度と低いため、これ単体では誘電率が不十分である。したがって、本発明では、多結晶 $SrTiO_3$ 誘電体薄膜の上下に、極めて薄いアモルファス $SrTiO_3$ 誘電体薄膜を形成して、このアモルファス $SrTiO_3$ 誘電体薄膜を酸素空孔の移動、注入のバリアとしている。

【0018】また、アモルファス $SrTiO_3$ 誘電体薄膜と多結晶 $SrTiO_3$ 誘電体薄膜との界面には、多結晶 $SrTiO_3$ 誘電体薄膜とその電極として通常よく用いられる白金電極との界面と比較して、低誘電率層が形成されにくいので、アモルファス $SrTiO_3$ 誘電体薄膜と多結晶 $SrTiO_3$ 誘電体薄膜との積層による積層膜全体としての誘電率の低下が抑えられる。

【0019】以上のことから、アモルファス誘電体薄膜の膜厚としては、上記の機能を果たすためには10nm以上必要であり、また、30nmより厚くしても上記の機能が向上することなく逆に誘電体薄膜の積層膜全体としての誘電率を低下させるので、10nm以上30nm以下とするものである。

【0020】また、多結晶誘電体薄膜の膜厚について、多結晶誘電体薄膜の誘電率、面積、膜厚のそれぞれを ϵ 、S、dとし、真空中の誘電率を ϵ_0 とすると、そのときのキャパシタ容量Cは、下記式のように表される。

$$【0021】 \epsilon = S / d$$

この式から、多結晶誘電体薄膜の膜厚dが厚くなると、キャパシタ容量Cが小さくなるので、200nm程度が好ましいものである。

【0022】また、本発明の誘電体薄膜キャパシタ素子においてアモルファスSrTiO₃誘電体薄膜のSr/Ti比を0.5以上0.8以下が好ましい、又は本発明の誘電体薄膜キャパシタ素子の製造方法においてアモルファスSrTiO₃誘電体薄膜形成に用いるスパッタターゲットのSr/Ti比を0.5以上0.8以下が好ましいとしたのは、アモルファスSrTiO₃誘電体薄膜中の酸化チタンを多くするためである。これは、酸化チタンが多く含む方が、耐圧、絶縁性優れた誘電体薄膜を得られるからである。

【0023】一方、本発明の誘電体薄膜キャパシタ素子において多結晶SrTiO₃誘電体薄膜のSr/Ti比を0.9以上1.1以下が好ましい、又は本発明の誘電体薄膜キャパシタ素子の製造方法においてアモルファスSrTiO₃誘電体薄膜形成に用いるスパッタターゲットのSr/Ti比を0.9以上1.1以下が好ましいとしたのは、高い誘電率を得るとともに、リーク電流を低く抑えられるからである。多結晶SrTiO₃誘電体薄膜において、例えば、アモルファスSrTiO₃誘電体薄膜と同様に、Sr/Ti比を0.5以上0.8以下であると、結晶化が十分に行われなく、高い誘電率を得ることができない。

【0024】

【発明の実施の形態】以下、本発明の実施の形態について、図面を参照して説明する。図1は、本発明の第1の実施形態の誘電体薄膜キャパシタ素子の概略構造を示す要部断面図である。図1に示すように、この誘電体薄膜キャパシタ素子は、n型シリコン基板1上に、シリコン熱酸化膜2、Ta(タンタル)接着層3、Pt下部電極層4、第1のアモルファスSrTiO₃誘電体薄膜5、多結晶SrTiO₃誘電体薄膜6、第2のアモルファスSrTiO₃誘電体薄膜7、Pt上部電極層8が、それぞれ順次形成されているものである。

【0025】なお、図1に示した構造は、あくまでも、後述する本実施形態による誘電体薄膜素子の基本的な電気特性を評価するためのものであり、本発明による誘電

体薄膜素子の構造がこれに限定されるものでなく、実際には、DRAMやMMIC等の様々なメモリ素子に適宜自由な設計で用いられるものである。

【0026】次いで、本実施形態の誘電体薄膜素子の製造方法について説明する。まず、n型シリコン基板1の表面に、絶縁層として、膜厚200nmのシリコン熱酸化膜2を熱酸化法により形成し、続いて、このシリコン熱酸化膜2上に膜厚30nmのTi接着層3と、膜厚200nmのPt下部電極層4とを、DCスパッタリング法により順次形成する。

【0027】次に、このようにして形成したPt下部電極層4上に、膜厚10~30nmの第1のアモルファスSrTiO₃誘電体薄膜5、膜厚200~300nmの多結晶SrTiO₃誘電体薄膜6、膜厚10~30nmの第2のアモルファスSrTiO₃誘電体薄膜7のそれをスパッタ法により順次形成する。この誘電体薄膜の成膜工程を説明する。

【0028】本実施形態において、第1のアモルファスSrTiO₃誘電体薄膜5及び第2のアモルファスSrTiO₃誘電体薄膜7の形成に用いたスパッタターゲットは、チタン酸ストロンチウム粉体に、不純物として、Fe(鉄)10ppm以下、Na(ナトリウム)10ppm以下、Ca(カルシウム)10ppm以下、Al(アルミニウム)1ppm以下、Si(シリコン)1ppm以下を含有したものである。そして、第1のアモルファスSrTiO₃誘電体薄膜5の成膜条件は、成膜室内に酸素10ccmを導入して、成膜室内の圧力を2Paに保ち、基板温度を340°Cとして、スパッタパワー200Wで、RFスパッタ法により成膜するものである。なお、本実施形態では、第1のアモルファスSrTiO₃誘電体薄膜5として、10nm形成した。

【0029】そして、多結晶SrTiO₃誘電体薄膜6の形成に用いたスパッタターゲットは、チタン酸ストロンチウム粉体に、不純物として、Ba(バリウム)39ppm以下、Zr(ジルコン)15ppm以下、Ca(カルシウム)3ppm以下、Fe(鉄)1ppm以下を含有したものである。そして、多結晶SrTiO₃誘電体薄膜6の成膜条件は、成膜室内に酸素10ccmを導入して、成膜室内の圧力を2Paに保ち、基板温度を340°Cとして、スパッタパワー200Wで、RFスパッタ法により成膜するものである。なお、本実施形態では、多結晶SrTiO₃誘電体薄膜5として、200nm形成した。

【0030】また、第2のアモルファスSrTiO₃誘電体薄膜7の成膜条件は、上記第1のアモルファスSrTiO₃誘電体薄膜成膜時と全く同様のものである。なお、本実施形態では、第2のアモルファスSrTiO₃誘電体薄膜7として、10nm形成した。

【0031】そして、第2のアモルファスSrTiO₃誘電体薄膜7の成膜後、最後に酸素雰囲気中で、基板加

熱温度340°Cから、冷却速度約3°C/分で室温まで冷却した。

【0032】次に、本実施形態の誘電体薄膜キャバシタ素子の電気特性を評価するために、図1に示すように、第2のアモルファスSrTiO₃誘電体薄膜7上に、Pt上部電極層8を、直径100μmの円形、膜厚100nmで真空蒸着法により形成する。

【0033】なお、基板、絶縁層、接着層、及び電極層のそれぞれの材料、膜厚、形成方法等については、本発明が本実施形態に限定されるものではない。

【0034】また、比較例として、本実施形態と同様にPt上下電極層4、8間に、上記第1のアモルファスSrTiO₃誘電体薄膜5及び第2のアモルファスSrT*

10 10

上記比較例1及び比較例2の測定結果と共に、表1に示す。

【0036】

【表1】

膜質	膜厚 (nm)	誘電率 ϵ	リーコンダクタ电流密度(A/cm ²)	
			10V	20V
アモルファス誘電体膜STO	220	20	1.00xE-08	6.80xE-08
多結晶誘電体膜STO	220	150	2.00xE-08	7.10xE-08
アモルファス誘電体膜STO/多結晶誘電体膜STO/アモルファス誘電体膜STO	220	120	3.10xE-08	5.30xE-08

【0037】なお、表1において、SrTiO₃をSTOと称しており、アモルファス誘電体膜STO/多結晶誘電体膜STO/アモルファス誘電体膜STOは本実施形態を、アモルファス誘電体膜STOは比較例1を、多結晶誘電体膜STOは比較例2を示している。また、誘電率の測定条件は、25°Cにおいて変調周波数10kHz、印加電圧0.1Vで行ったものである。

【0038】表1から、誘電率については、本実施形態(アモルファス誘電体膜STO/多結晶誘電体膜STO/アモルファス誘電体膜STO)が120であるのに対して、比較例1(アモルファス誘電体膜STO)が20、比較例2(多結晶誘電体膜STO)が150となつた。すなわち、本実施形態の誘電率は、多結晶誘電体薄膜単層から成る比較例2より若干低い値となるものの、アモルファス誘電体薄膜単層から成る比較例1よりもはるかに高い、充分に高い良好な値を示した。一方、リーコンダクタ电流密度については、印加電圧10V及び20Vのそれぞれにおいて、本実施形態、比較例1、及び比較例2のいずれも、10⁻⁸A/cm²台の良好な値を示した。

【0039】次に、本実施形態の誘電体薄膜キャバシタ素子について、図1に示すように、Pt上部電極層8とPt下部電極層4との間に電界9を印加して、リーコンダクタ电流密度の高温走行試験を測定した結果を、比較例1及び比較例2の測定結果と共に、図2に示す。なお、このときの測定条件として、温度を100°Cに保持して、印加電圧が直流10Vで行ったものである。また、図2において、SrTiO₃をSTOと称しており、アモルファス誘電体膜STO/多結晶誘電体膜STO/アモルファス誘電体膜STOは本実施形態を、アモルファス誘電体膜STOは比較例1を、多結晶誘電体薄膜S

TOは比較例2を示している。

【0040】図2によれば、表1にも示したようにリーコンダクタ电流密度J(図2の縦軸)の初期値は、10⁻⁸A/cm²台の良好な値を示している。そして、走行時間(図2の横軸)が増すと、本実施形態(アモルファス誘電体膜STO/多結晶誘電体膜STO/アモルファス誘電体膜STO)及びアモルファス誘電体薄膜単層から成る比較例1(アモルファス誘電体膜STO)では1000時間まで抵抗劣化が全く観察されなかったのに対して、多結晶誘電体薄膜単層から成る比較例2(多結晶誘電体膜STO)では5~6時間程度から抵抗劣化が起り十数時間で10⁻⁶台まで劣化した。

【0041】以上のことから、本実施形態のアモルファス誘電体膜STO/多結晶誘電体膜STO/アモルファス誘電体膜STOの積層構造のものでは、誘電率が充分に高く、しかも高温通電において通電時間に伴うリーコンダクタ电流の増大を抑制しキャバシタの抵抗劣化が起こらないという、非常に優れた誘電体薄膜キャバシタ素子を実現できた。

【0042】なお、上記実施形態では、誘電体薄膜材料としてSrTiO₃用いたが、これに限定されるものではなく、ストロンチウム及びチタンを含有する酸化物材料から成るものであれば良く、(Ba, Sr)TiO₃を用いても同様の効果が得られた。

【0043】

【発明の効果】以上のように、本発明の誘電体薄膜キャバシタ素子によれば、充分に高い誘電率を示し、かつ、リーコンダクタ电流が低く、直流印加電圧で1000時間高温動作しても低いリーコンダクタ电流を維持して絶縁性がほとんど劣化しない、優れた素子を実現することが可能となる。

【0044】また、本発明の誘電体薄膜キャパシタ素子の製造方法によれば、上記のような素子を生産性に優れたスパッタ法により、容易に製造することができる。

【0045】従って、本発明をMMICやDRAM等のキャパシタへ応用すれば、素子特性に優れ、かつより高信頼性を達成することが可能となる。

【図面の簡単な説明】

【図1】本発明による実施形態である誘電体薄膜キャパシタ素子の概略構造を示す要部断面図である。

【図2】本発明による実施形態（アモルファス誘電体薄膜STO／多結晶誘電体薄膜STO／アモルファス誘電体薄膜膜STO）、比較例1（アモルファス誘電体薄膜

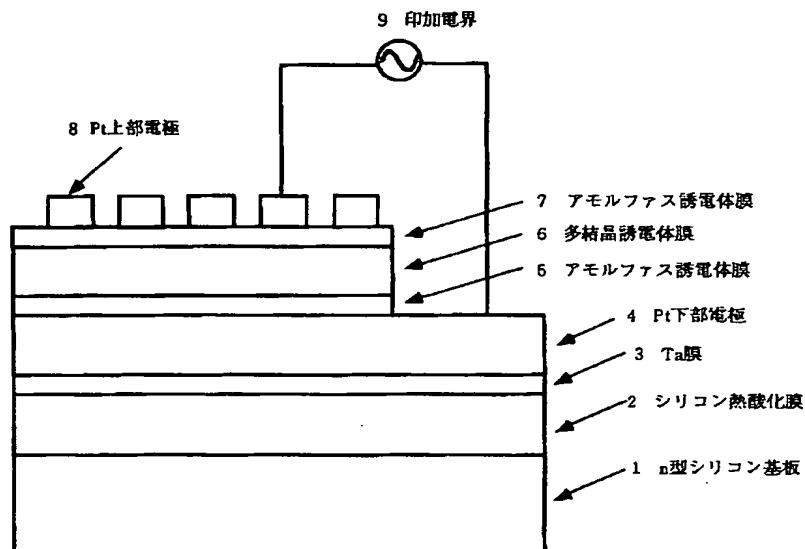
10

STO）、及び比較例2（多結晶誘電体薄膜STO）についてのリーク電流密度の信頼性走行試験の測定結果を示すグラフである。

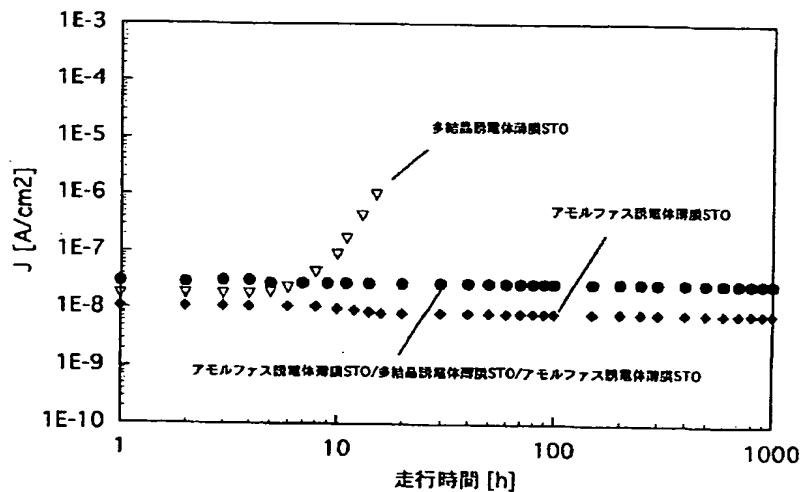
【符号の説明】

- 1 n型シリコン基板
- 2 シリコン熱酸化膜
- 3 Ta接着層
- 4 Pt下部電極層
- 5 第1のアモルファス誘電体薄膜
- 6 多結晶誘電体薄膜
- 7 第2のアモルファス誘電体薄膜
- 8 Pt上部電極層

【図1】



【図2】



フロントページの続き

(72)発明者 大谷 昇

大阪府大阪市阿倍野区長池町22番22号 シ
ヤープ株式会社内